

INDUCTORES INTEGRADOS PLANOS SOBRE TECNOLOGÍAS DE SILICIO

Javier del Pino Suárez

José Ramón Sendra
Sendra

Antonio Hernández
Ballester

Benito González Pérez

Javier García García

Sunil Lalchand
Khemchandani

Antonio Núñez Ordóñez

Las tecnologías de fabricación de circuitos integrados basadas en Silicio no han sido muy utilizadas en aplicaciones analógicas a frecuencias milimétricas, sin embargo son la alternativa para disminuir los costes. Las prestaciones de estos circuitos integrados son muy dependientes de la calidad de los elementos de circuito utilizados. Están disponibles transistores cuyas frecuencias de corte alcanzan los 60 giga-hertzios., así como resistencias y capacitores capaces de operar en intervalos de frecuencia de unos giga-hertzios, sin embargo no ocurre así con los inductores. En este artículo se expone un análisis práctico de los aspectos fundamentales relacionados con el funcionamiento de los inductores integrados sobre silicio

Silicon IC technologies have been rarely used for analog applications in radio and microwave frequency ranges but they are the choice in lowering costs. The performance of these ICs strongly depends on the quality of the lumped elements used. There are transistors with cut-off frequencies above 60 GHz and resistors and capacitors suited to operate at frequencies in the range of several GHz, but this is not the case for inductors. In this paper we report a practical analysis of the main aspects affecting the integrated inductors behavior.

PRESENTACIÓN

La disminución del precio y tamaño de los equipos de comunicaciones móviles que operan a frecuencias de uno a cinco giga-hertzios (telefonía móvil, redes inalámbricas) pasa por integrar el mayor número de bloques posible utilizando tecnologías de bajo coste. Dicha integración está condicionada por los elementos pasivos (inductores y capacitores) que degradan mucho sus prestaciones cuando se fabrican sobre substratos poco resistivos como el Silicio.

Este trabajo describe los fenómenos físicos involucrados y una serie de técnicas de modelado que ayudan al diseñador de estos circuitos a llevar al límite las posibilidades que ofrecen estas tecnologías de bajo coste.

INTRODUCCIÓN

Al amparo de la revolución de las tecnologías de la información y las comunicaciones, la demanda de equipos y sistemas de comunicación inalámbricas ha experimentado un notable crecimiento que se constata observando las cifras de ventas de teléfonos móviles, las de equipos para la recepción de sistemas digitales de televisión vía satélite o las de sistemas de posicionamiento global, entre otras.

En estos sistemas las señales se transmiten a frecuencias de unos pocos GHz (usualmente entre 1 GHz y 3 GHz). Además, en estas bandas se están desarrollando sistemas y servicios cuyo impacto va a ser significativo (Bluetooth, 2.4 GHz; UMTS. 1.9 GHz, 2.1 GHz, 2.5 GHz; etc.).

Hasta ahora la demanda de estos equipos se ha satisfecho mediante sistemas multichip (MCMs), o fundamentalmente, con circuitos, tanto integrados como discretos montados sobre placas de circuito impreso (PCBs), basados ambos en tecnologías III-V (las correspondientes a los elementos de los grupos III y V de la tabla periódica) maduras. Pero éstas son de alto coste y de volumen de producción limitado pues son pocas las empresas fundidoras que ofrecen esta tecnología. Sin embargo, el mercado exige componentes de radiofrecuencia (RF) pequeños, baratos, de bajo consumo y producción masiva. De modo que los grupos de investigación y, en especial, las empresas de diseño y fabricación de sistemas para RF dirigen hoy sus miradas a las tecnologías de circuitos integrados estándar de silicio. Gracias a la reducción de las dimensiones, los dispositivos activos en estas tecnologías alcanzan las frecuencias requeridas; pero no se dispone de inductores de calidad.

la polarización de transistores en amplificadores de bajo ruido (LNAs) o la implementación de tanques LC (circuitos resonadores sintonizados) en osciladores.

La manera más habitual de diseñar un inductor integrado es generar una espiral con pistas de metal sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, será necesario disponer de, al menos, dos niveles de metal para poder tener acceso a dicho terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se la suele denominar en inglés *underpass* o *cross-under*. En la Figura 1 se muestra una representación tridimensional de una bobina espiral cuadrada simple en donde se puede apreciar la disposición del *underpass* así como los parámetros más importantes de su geometría (radio r , anchura w , separación de las pistas s y número de vueltas n).

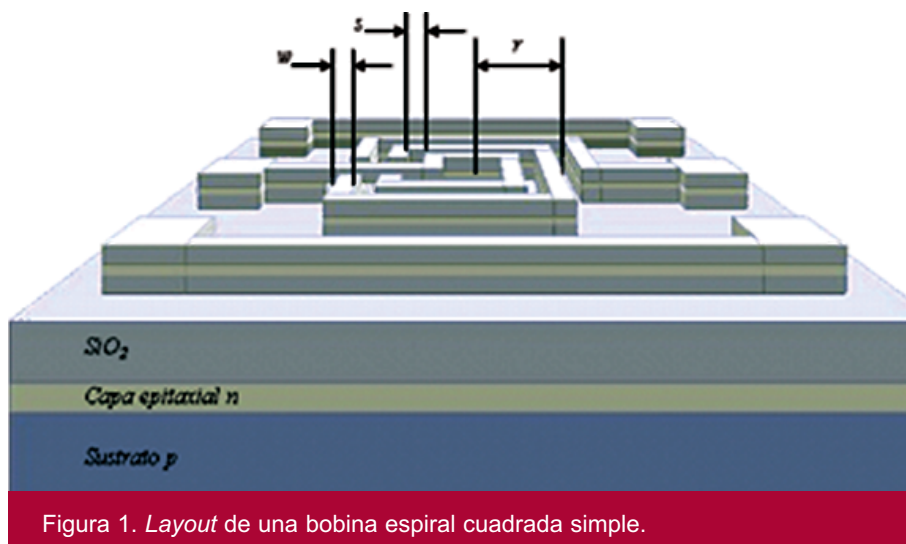


Figura 1. *Layout* de una bobina espiral cuadrada simple.

Esta carencia es muy restrictiva, pues si bien, por ejemplo, a frecuencias más bajas no es necesaria la utilización de circuitos de adaptación de impedancia compleja, a estas frecuencias los circuitos sí deben adaptarse. Estos componentes pasivos se necesitan también para muchas otras funciones, como

En la Figura 2 se muestra una fotografía de un chip conteniendo numerosas bobinas para realizar experimentos. En total consta de 128 inductores espirales integrados con sus correspondientes estructuras para facilitar la medida. El área total ocupada es de $8 \times 10 \text{ mm}^2$. Los experimentos consisten en dise-

El factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a pérdidas que se incorporan en la ecuación mediante dependencias adicionales con la frecuencia.

ñar, fabricar, medir e interpretar los resultados correspondientes a un número lo mayor posible de estructuras con diferentes características geométricas. Así, se hacen pruebas variando el número de vueltas o el de lados con lo que se obtienen espirales cuadradas (4 lados), octogonales (8 lados), etc. En la Figura 3 se puede observar el detalle de una región del chip en la que se identifican 6 estructuras con diferentes características geométricas.

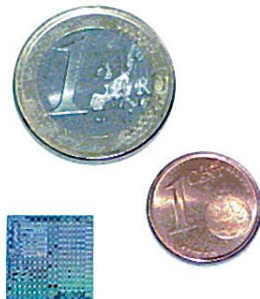


Figura 2. Foto del chip completo.

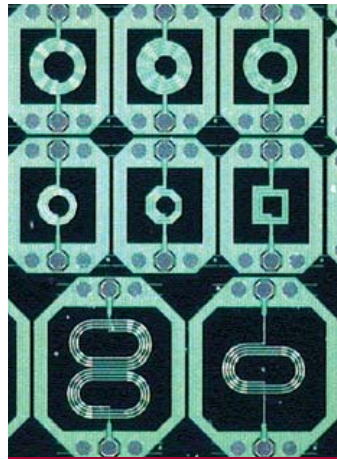


Figura 3. Detalle de una región del chip en la que se puede observar 6 estructuras con diferentes características geométricas.

Los inductores integrados se modelan mediante una red de parámetros concentrados RLC para la que se han propuesto varias topologías ligeramente distintas. El cálculo de la mayor parte de los valores de los elementos del circuito equivalente se puede reali-

zar utilizando expresiones analíticas disponibles en la literatura [1] que en algunos casos introducen errores considerables.

El inductor se caracteriza por el factor de calidad, Q , definido mediante la siguiente relación

$$Q = 2\pi \cdot \frac{\text{Energía neta almacenada}}{\text{Energía disipada en un ciclo}}$$

y cuyo valor suele estar en el intervalo de 5 a 20 para subsistemas de banda ancha, siendo algo mayor para redes de banda estrecha (filtros).

En la práctica, el factor de calidad de los inductores integrados sobre silicio no satisface las especificaciones indicadas debido a pérdidas que se incorporan en la ecuación mediante dependencias adicionales con la frecuencia [2]. La respuesta de los inductores integrados ha sido y sigue siendo objeto de investigación [3],[4],[5],[6],[7] de modo que los fenómenos físicos causantes de la degradación de la misma han sido ya identificados. Los más relevantes se asocian a pérdidas en el sustrato poco resistivo, pérdidas en los metales por su alta resistividad junto a las causadas por el efecto pelicular (*skin effect*) y por las corrientes de torbellino (*eddy currents*) inducidas en ambos medios [3]. Estas dos últimas fuentes de pérdida, el efecto pelicular y las pérdidas por corrientes de torbellino, no son fáciles de modelar. Una metodología para incorporarlas al modelo eléctrico del inductor integrado es mediante aproximaciones basadas en simulación electromagnética [5], si bien es deseable disponer de expresiones analíticas fiables. Algunos grupos las han ofrecido recientemente pero hemos constatado que introducen errores.

Los valores indicados para el factor de calidad se obtienen, con cierta facilidad, en inductores integrados con tecnologías III-V debido a que los sustratos presentan una

resistividad alta (por ejemplo, sobre arseniuro de galio, GaAs), o utilizando montajes sobre PCBs de sustrato resistivo (cerámico) y oro como metal para las espiras. Sin embargo, sobre tecnologías basadas en silicio no se satisfacen estas especificaciones salvo modificando los procesos de fabricación [4] o incorporando los inductores en los cables de unión entre el circuito integrado y las patillas del chip (*bondwires*) [5] o con otras tecnologías encapsulando el conjunto como MCM. Pero alterar el proceso de fabricación no es factible para el diseñador y los fabricantes no garantizan la reproducibilidad de los inductores en las soldaduras. De modo que se suele recurrir a utilizar inductores discretos fuera del chip.

En las tecnologías de silicio estándar, las metalizaciones suelen ser de aleaciones de aluminio y cobre cuya resistividad es, aproximadamente, el doble que la del aluminio. Utilizando otros metales ocurre algo similar, de modo que las pérdidas en los metales son mayores. Las asociadas al sustrato también lo son porque el silicio es menos resistivo que el GaAs. Por ejemplo, en procesos estándares la resistividad del silicio a 1 GHz es de sólo 1-100 W cm.

Desde 1990, año en que se propuso el primer inductor integrado sobre silicio con Q bajo (inferior a 5), numerosos grupos han tratado este tema. En la primera mitad de la década de los 90 se proponía, sobre todo, las citadas modificaciones del proceso tecnológico para incrementar la calidad del inductor integrado. Dichas modificaciones han consistido en

1. la utilización de sustratos de silicio altamente resistivos,
2. el aumento del grosor de las capas de óxido entre las metalizaciones,
3. el aumento del grosor de las metalizaciones, y
4. la eliminación selectiva del silicio bajo el inductor integrado.

En la segunda mitad, los esfuerzos se centran en la mejora de Q

mediante técnicas topológico-geométricas consistentes en la selección de las configuraciones y geometrías que minimizan las pérdidas.

Algunos resultados de éste período se pueden resumir como sigue:

1. las pérdidas en los metales disminuyen si los inductores se fabrican en distintos niveles de metal conectados mediante vías distribuidas aumentando así la sección efectiva del metal,
2. las pérdidas en el sustrato se atenúan alejando el inductor de aquél, utilizando para ello el nivel más alto de metal o, si es posible, los niveles más altos con vías distribuidas,
3. la forma óptima del inductor debe ser circular, es decir se debe diseñar el inductor integrado mediante una línea espiral quebrada con un número elevado de segmentos por vuelta a costa de cierto aumento tanto del área ocupada como de la dificultad en la generación de las máscaras del proceso. Con ello el factor de calidad se incrementa en un 10% respecto al inductor cuadrado.

Hay autores que tratan de mejorar el factor de calidad optimizando las dimensiones del inductor [4]: ancho de las pistas, número de vueltas, espaciado o tamaño del agujero central. La selección se basa en la experiencia previa y en resultados de simulación de la estructura utilizando simuladores electromagnéticos comerciales que, si convergen, necesitan mucho tiempo de CPU y consumen mucha memoria. La dificultad de esta línea estriba en el modelado de las pérdidas por efecto pelicular y las asociadas a las corrientes de torbellino.

FENÓMENOS FÍSICOS Y CIRCUITO EQUIVALENTE

Cuando se aplica tensión en los extremos de una espira aparecen los campos eléctricos y magnéticos de la Figura 4.

El campo magnético $B(t)$, está originado por la corriente alterna que

A medida que aumenta la frecuencia, la corriente tiende a circular cerca de los bordes del conductor en vez de utilizar toda el área del conductor con lo que la resistencia aumenta.

circula por las espiras. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y las pistas de la espira. Como $B(t)$ atraviesa el sustrato y las pistas de la espira, se inducen corrientes de torbellino en ambas.

$E_1(t)$ es el campo eléctrico en las pistas de la espira. Produce la corriente de conducción y asociada a ella aparecen pérdidas óhmicas en las pistas debido a la resistividad de los conductores.

$E_2(t)$ es el campo eléctrico entre las pistas de la espira y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico. Algunos autores consideran que esta capacidad lateral entre las vueltas es despreciable, debido a que es la conexión en serie de esas capacidades la que finalmente aparece entre los terminales de la bobina [1]. Sin embargo, en este trabajo veremos que esto no es siempre cierto.

$E_3(t)$ es el campo eléctrico entre la espiral y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato además de pérdidas óhmicas en este último.

$E_4(t)$ es el campo eléctrico entre la espira y el *crossunder*. Genera una capacidad parásita asociada en paralelo a la bobina.

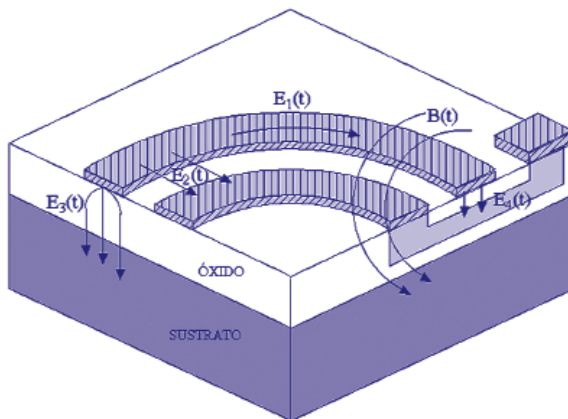


Figura 4. Campos eléctricos y magnéticos en un inductor integrado.

El modelo o circuito equivalente asociado a un inductor espiral integrado surge de la interpretación de los fenómenos físicos que en él se manifiestan. Así, en la Figura 5 se muestra la estructura de este modelo, considerando al inductor como un dispositivo de dos puertos.

El esquemático se divide en tres subcircuitos, cuyas admitancias son Y_L , Y_{SUB1} e Y_{SUB2} . La rama principal es la indicada por Y_L . Dicha rama está compuesta por L_s que da cuenta de los efectos del campo magnético causados por la señal alterna (AC) que fluye por los metales, la resistencia R_s que modela las pérdidas óhmicas en las pistas de metal, y el condensador C_p que da cuenta del acoplamiento capacitivo entre las pistas. Las ramas de tierra, Y_{SUB1} e Y_{SUB2} , incorporan los efectos del sustrato. Así, los condensadores C_{OX1} y C_{OX2} modelan las capacidades del óxido existente entre la espiral y el sustrato, mientras que C_{SUB1} y C_{SUB2} dan cuenta de la capacidad del sustrato. R_{SUB1} y R_{SUB2} reflejan las pérdidas asociadas al acoplamiento eléctrico con el sustrato.

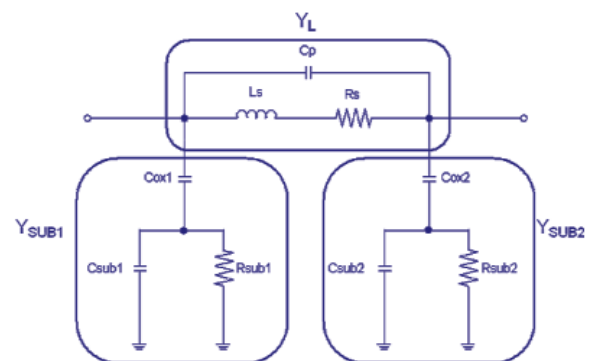


Figura 5. Modelo convencional de un inductor integrado.

En el transcurso de nuestros trabajos hemos constatado que las ramas Y_{SUB1} e Y_{SUB2} predicen correctamente el comportamiento del inductor en cuanto a su acoplamiento a tierra para todo el rango de frecuencias en el que se han realizado las medidas (de 0.5GHz a

10GHz). Sin embargo, lo mismo no se puede decir respecto a la rama principal. El modelo convencional de la Figura 5 concuerda con las medidas especialmente a baja frecuencia pero a frecuencias altas el error cometido es apreciable.

La solución que hemos propuesto a este conflicto consiste en el uso de un nuevo modelo basado en el modelo convencional. El modelo modificado propuesto se muestra en la Figura 6. En él aparece como novedad la inclusión de una resistencia R_p en serie con la capacidad C_p . Esta resistencia está asociada a pérdidas resistivas en dicho condensador. Nuestros experimentos demuestran que, para modelar correctamente una bobina espiral integrada en el rango de frecuencias de 0.5 GHz a 10 GHz o superior, es necesario tener en cuenta esta resistencia.

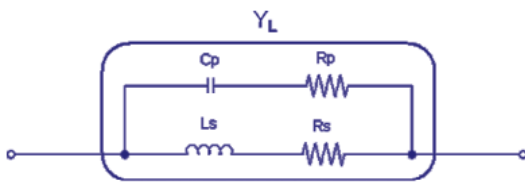


Figura 6. Modelo modificado de dos puertos para inductores espirales integrados.

Se ha indicado ya que el factor de calidad de una bobina viene limitado por la resistencia de las pistas de metal. Para frecuencias bajas, la resistencia serie de un conductor metálico se puede calcular fácilmente como el producto de la resistencia por cuadro por el número de cuadros de la pista. Sin embargo, a medida que aumenta la frecuencia, el efecto pelicular y las corrientes de torbellino inducidas pueden causar grandes diferencias con respecto a este tipo de cálculos.

El más conocido de estos efectos es el efecto pelicular. Este efecto se ha calculado de forma analítica para un conductor con sección circular. A medida que aumenta la frecuencia, la corriente tiende a cir-

cular cerca de los bordes del conductor en vez de utilizar toda el área del conductor con lo que la resistencia aumenta. Esto se muestra esquemáticamente en la Figura 7. La profundidad pelicular d se define como el espesor equivalente de un conductor hueco que tiene la misma resistencia a una frecuencia determinada

$$\delta = \sqrt{\frac{2}{\mu \cdot \sigma \cdot \omega}}$$

En esta ecuación m es la permeabilidad magnética del material, σ es la conductividad y ω es la frecuencia angular o pulsación. Tras una concienzuda búsqueda bibliográfica se ha constatado que en los inductores planos este efecto no ha sido evaluado todavía de forma analítica.

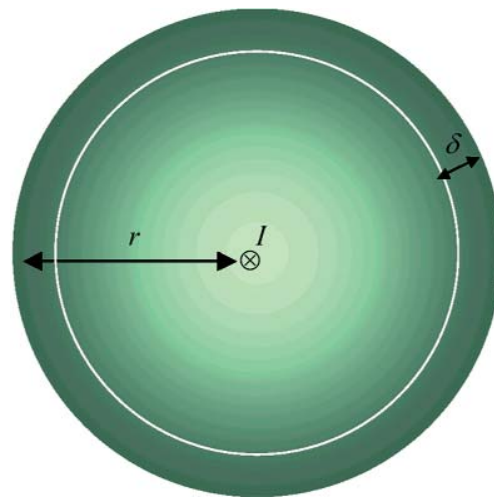


Figura 7. Efecto pelicular en conductor con sección circular.

El segundo de los efectos que actúan sobre la resistencia de las pistas de metal es la aparición de corrientes de torbellino. Como se puede observar en la Figura 8.a, cuando el inductor está relleno de espiras hasta el centro del mismo, una parte del campo magnético $B(t)$ atraviesa las pistas interiores de la espiral. Debido a la naturaleza variante con el tiempo de la corriente que circula por la espiral (I), el campo magnético generado también varía con el tiempo. Como consecuencia, en las vuel-

tas interiores se origina un campo eléctrico (inducido por el campo magnético) que genera pequeños bucles de corriente, llamados corrientes de torbellino, tal y como se muestra en las Figura 8.b y 4.c. Obsérvese como la dirección de estos bucles de corriente es tal que se oponen al cambio original del campo magnético que los generó. Además, la magnitud del campo eléctrico inducido es proporcional a la derivada del campo magnético con respecto al tiempo, por lo que este efecto será más intenso a frecuencias altas.

Las corrientes de torbellino causan que el flujo de corriente en las vueltas interiores adopte una distribución no uniforme. Así, en el lado interior de las vueltas centrales, la corriente principal y las de torbellino fluyen en el mismo sentido, con lo que la densidad de corriente es mayor. Por el contrario, en el lado exterior, ambas corrientes van en sentido contrario y por ello la densidad de corriente resultante es menor. Como resultado de este proceso, la corriente en las vueltas centrales se concentra en el lado interior del conductor produciendo un aumento de la resistencia serie asociada a dichas vueltas.

Si pudiésemos medir la resistencia asociada a cada vuelta de metal, es de esperar que las vueltas exteriores presenten una resistencia mayor, ya que son las de mayor longitud, y que las vueltas interiores tengan asociada una resistencia serie cada vez menor. Sin embargo, debido al aumento de la resistencia causado por las corrientes de torbellino a frecuencias altas, una gran contribución a la resistencia serie de la bobina viene dada por las pistas interiores. Este efecto es difícil de evaluar analíticamente y por tanto no hay una expresión simple que lo modele. En [5] se presentan los resultados de simulaciones que incluyen los efectos mencionados.

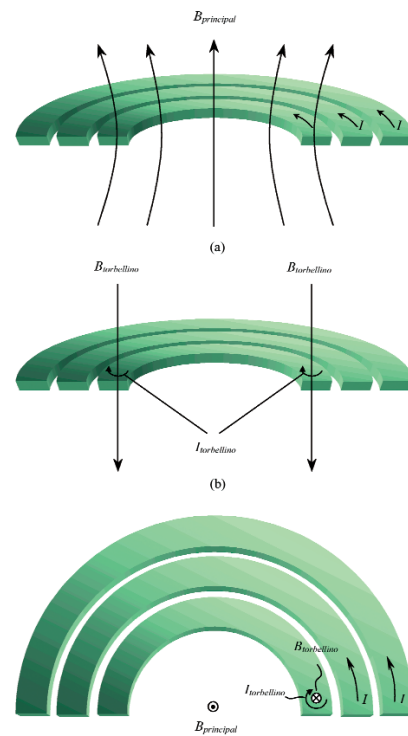


Figura 8. Generación de corrientes de torbellino en las pistas interiores de un inductor plano. (a) Imagen transversal en la que se muestra el campo magnético principal. (b) Imagen transversal en la que se muestra el campo magnético inducido. (c) Vista superior: campo fluyendo hacia fuera de la página (punto); campo fluyendo hacia dentro de la página (aspa).

La generación de las corrientes de torbellino y sus consecuencias es una circunstancia conocida desde hace mucho tiempo y por ello algunos autores han propuesto diferentes soluciones para paliar sus efectos. Por ejemplo, una opción es el realizar las vueltas interiores mediante la disposición de tiras longitudinales [5]. De esta forma el flujo de corriente circular se quedaría cortado con lo que se reduciría la generación de corrientes de torbellino. Otra opción es el realizar las vueltas interiores mediante pistas más estrechas que las exteriores [4]. Sin embargo, los efectos de estas

La magnitud del campo eléctrico inducido es proporcional a la derivada del campo magnético con respecto al tiempo, por lo que este efecto será más intenso a frecuencias altas.

medidas son cuestionables, ya que el resultado inmediato sería un aumento de la resistencia en corriente continua (DC) de las pistas interiores. Así las cosas, algunos autores han propuesto eliminar por completo las vueltas interiores [5]. La justificación de esta medida se basa en el hecho de que las vueltas interiores contribuyen muy poco a la inductancia del inductor (el área encerrada por las mismas es pequeña) y, debido a la generación de corrientes de torbellino a frecuencias altas, estas vueltas causan un considerable deterioro del factor de calidad.

Las pruebas realizadas en nuestros laboratorios, ver Figura 9, muestran que esta regla de diseño, por otro lado muy aceptada entre los diseñadores, puede no ser adecuada cuando estamos trabajando sobre sustratos de silicio que no van a sufrir ningún tipo de procesamiento posterior. La razón es que el uso de esta regla implica la necesidad de hacer inductores muy grandes, es decir, que ocupan mucha área, con lo que el aumento de los efectos parásitos asociados al sustrato será mucho mayor que la posible mejora de las prestaciones de la bobina debida a la supresión de las corrientes de torbellino.

Por otro lado, uno de los efectos parásitos más reconocidos en un inductor plano es la capacidad al sustrato. Junto con la inductancia de la bobina, esta capacidad genera una frecuencia de resonancia LC por encima de la cual la espiral deja de funcionar como un inductor para pasar a hacerlo como un condensador. Este efecto pone un límite al valor de inductancia máximo alcanzable para una frecuencia determinada. Esto se debe a que valores grandes de inductancia requieren grandes cantidades de área con lo que la capacidad parásita será también grande y por tanto la frecuencia de resonancia será más baja.

Esto se debe a que valores grandes de inductancia requieren grandes cantidades de área con lo que la capacidad parásita será también grande y por tanto la frecuencia de resonancia será más baja.

Otro de los efectos parásitos relacionados con el sustrato es el relativo a las pérdidas resistivas en el mismo. De hecho, estas pérdidas son muy importantes en la mayoría de las tecnologías basadas en silicio ya que los sustratos que se utilizan suelen ser poco resistivos. Esto trae como consecuencia que las corrientes inducidas por el campo magnético de la bobina puedan circular libremente por el sustrato, lo cual hace que aparezcan pérdidas resistivas adicionales y que la inductancia disminuya. En la Figura 10 se ilustra esta idea. En ella se muestra un corte transversal de un inductor plano incluyendo el sustrato. En un instante determinado, la corriente en el inductor fluye hacia dentro de la página por la derecha (aspa) y hacia fuera de la página por la izquierda (punto). De la misma forma que ocurría con las corrientes de torbellino en los conductores interiores, aquí se genera una corriente espiral inducida debajo de la espiral metálica debido al campo magnético generado por esta última. Esto hace que aparezca una corriente fluyendo por el sustrato cuya dirección es tal que se opone a los cambios originales en el campo magnético. De esta forma, la corriente inducida fluye en la dirección opuesta a la corriente en el inductor tal y como se muestra en la figura. En un sustrato con una resistividad alta, el campo eléctrico indu-

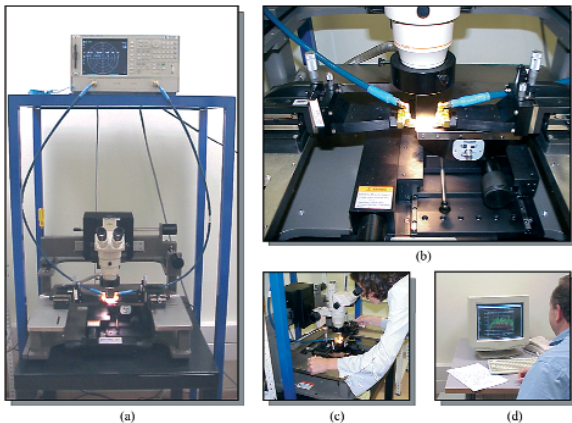


Figura 9. Laboratorio de medidas. (a) Analizador vectorial conectado mediante sondas de medida de radiofrecuencia a la estación de puntas. (b) Detalle de la estación de puntas con el circuito integrado y las puntas de medida situadas sobre él. (c) Personal cualificado realizando medidas. (d) Ordenador, conectado al analizador vectorial, obteniendo resultados de la medida del circuito integrado.

cido causa una pequeña corriente fluyendo por el sustrato. En estos casos el efecto de las corrientes del sustrato se puede despreciar con lo que el factor de calidad del inductor queda completamente determinado por las pérdidas en los conductores. Sin embargo, para sustratos poco resistivos como los usados en las tecnologías basadas en silicio esto no es así. Por ello, en ausencia de otros factores de degradación más significativos, estas corrientes deben ser modeladas.

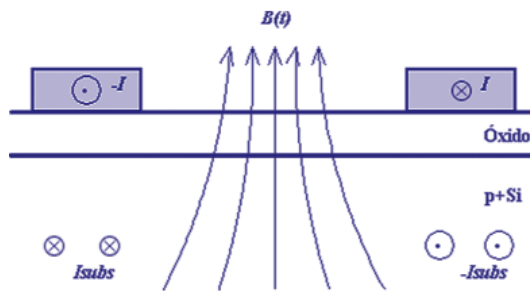


Figura 10. Generación de corrientes en el sustrato en inductores planos[5].

CONCLUSIONES

El crecimiento de la demanda de sistemas para comunicaciones móviles e inalámbricas requiere la utilización de tecnologías de integración de bajo coste basadas en el silicio. Uno de los elementos con mayor impacto en las prestaciones finales de dichos sistemas son los inductores ya que de su calidad depende en buena medida las prestaciones de los circuitos que lo componen. El objeto de este artículo ha sido presentar aquellos aspectos de mayor relieve relacionados con el diseño de estos componentes.

Atendiendo a esta motivación, en primer lugar se ha presentado la estructura y principios de funcionamiento de los inductores integrados sobre silicio. Se ha señalado que el factor de calidad de los inductores mejora de forma considerable si las tecnologías empleadas poseen unas características adecuadas. Entre ellas se encuentran la utilización de sustratos altamente resistivos y de capas de metales gruesas.

Asimismo, el óxido entre los metales debe ser lo más grueso posible.

Por otro lado existe una serie de reglas topológico-geométricas que mejoran también la calidad de los inductores. Así, la utilización de los metales más alejados del sustrato o una combinación de estos mediante vías distribuidas aumenta las prestaciones de los inductores. También, la utilización de la configuración circular mejora el factor de calidad.

Por último, otro de los aspectos tratados en este artículo ha sido el relativo al circuito equivalente utilizado para modelar el funcionamiento de los inductores. Hemos presentado una modificación al modelo convencional que representa su funcionamiento para un rango de frecuencias superior. Este modelo se basa en la interpretación física de los fenómenos que ocurren en los inductores espirales integrados y presenta, como novedad, la inclusión de una resistencia que modela las pérdidas asociadas al óxido que hay entre el *underpass* y la espiral y entre las propias pistas.

BIOGRAFÍA

RESEÑA BIOGRÁFICA-CURRICULAR DEL GRUPO

El equipo de investigación que ha desarrollado el presente trabajo pertenece a la División de Tecnología Microelectrónica (TME) del Instituto Universitario de Microelectrónica Aplicada (IUMA). La división TME nació como una necesidad de conocer y modelar las prestaciones de las nuevas tecnologías existentes para aplicaciones al diseño de circuitos integrados. Fruto de este conocimiento, la división se especializó en el modelado de parámetros como el tiempo de propagación, poten-

cia disipada y área necesaria en circuitos digitales de muy alta velocidad sobre Arseniuro de Galio (GaAs), y en el modelado de dispositivos activos para la implementación de dichos circuitos. Más tarde, con el crecimiento del grupo, y dado el carácter "fundamental" de los investigadores que lo conforman, la división incluye la línea de bioingeniería y biofotónica, con la que se investigan las aplicaciones de sensores ópticos en la caracterización de diversas patologías humanas.

Recientemente, se han incorporado a las líneas de trabajo de la división el modelado de elementos pasivos integrados para su utilización en circuitos integrados analógicos de radio frecuencia, así como el diseño de bloques básicos integrados para RF. El trabajo presentado se enmarca en esta línea de investigación.

Antonio Hernández Ballester
División TME-IUMA
Campus universitario de Tafira,
pabellón B
35017- Las Palmas de Gran
Canaria
email: toni@iuma.ulpgc.es
teléfono: 928451255
fax: 928451243

BIBLIOGRAFÍA

[1] T.H. Lee, "The Design of CMOS RF Integrated Circuits," Cambridge University Press, pp. 34-57, 1998.

[2] C.P. Yue, C. Ryu, J. Lau, T.H. Lee, S.S. Wong, "A Physical Model for Planar Spiral Inductors on Silicon", *International Electron Devices Meeting Technical Digest*, pp. 155-158, 1996.

[3] A.M. Niknejad, "Analysis, Design and Optimization of Spiral Inductors and Transformers for RF ICs," Ph.D. Dissertation in Electrical Engineering, University of California at Berkeley, 2000.

[4] J.M. Lopez-Villegas, J. Samitier, C. Cane, P. Losantos, J. Bausells, "Improvement of the quality factor of RF integrated inductors by layout optimization," *IEEE Transactions on Microwave Theory and Techniques*, vol. 48 no, 1, pp. 76-83, 2000.

[5] J. Craninckx, M.S. J. Steyaert, "A 1.8 GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors," *IEEE Journal of Solid-State-Circuits*, vol. 32, no. 5, pp. 736-744, 1997.

[6] J. del Pino, S.L. Khemchandani, A. Hernández, J.R. Sendra and A. Núñez, "Quality factor model for integrated inductors in CMOS technology" *Microwave Engineering*, pp. 27-34, Mayo 2001.

[7] J. Aguilera, J. Meléndez, R. Berenguer, J.R. Sendra, A. Hernández and J. del Pino, "A Novel Geometry for Circular Series Connected Multi-level Inductors for CMOS RF Integrated Circuits" *IEEE Trans. on Electron Devices*, vol. 49, no. 6, pp. 1084-1086. 2002.

Patrocinador de esta investigación:

UNIÓN ELÉCTRICA DE CANARIAS, S.A.
(UNELCO)