

# Arquitectura VLSI orientada a la construcción de procesadores de imágenes digitales

**DOMINGO BENÍTEZ DÍAZ**

## **RESUMEN**

En este trabajo se propone el FPA (Frame Processor Architecture), un modelo de arquitectura para el diseño de procesadores específicos que realizan el análisis de imágenes digitales a la frecuencia de adquisición de las señales de video. Proporcionan 25-30 imágenes resultados cada segundo a una frecuencia de píxel superior á 10 MHz. Concretamente, el tipo de procesadores para los que se ha pensado FPA son aquellos que implementan algoritmos paralelos que necesitan de la información de una ventana de la imagen para generar el resultado correspondiente a un píxel. Esta característica permite poder integrarlos en sistemas de Visión Artificial que funcionan en tiempo real. Se describe aquí también la estructura de un procesador que implementa el Filtro de Moda a imágenes de 512 pixels por fila, el cual utiliza la arquitectura propuesta.

## **ABSTRACT**

### ***A VLSI Architecture for Digital Image Processors***

*In this paper we propose FPA (Frame Processors Architecture), an architectural model for designing special purpose processors which carry out digital image analysis at video rates. They can give 25-30 output images per second, with a pixel frequency of over 10 MHz. The specific processors type, which is going to be developed with FPA, executes one type of Computer Vision parallel algorithms which needs the information stored in a window of the image in order to set the output value of a pixel. This characteristic allows processors to be integrated in Artificial Vision electronic systems which run at a real time speed. The structure of such a procedure, which executes the Modal Filter onto images with 512 pixels per row, is also described here.*

# 1. ARQUITECTURAS VLSI PARA VISIÓN ARTIFICIAL

**E**xisten varios tipos de arquitecturas paralelas que han sido pensadas para implementar algoritmos de Procesamiento de Imágenes Digitales y Reconocimiento de Patrones. Algunas de ellas proponen una forma de diseñar procesadores de propósito general para señales digitales como son por ejemplo las denominadas: Bit-Serial [8], Data-Parallel [5,9], Serial-Data [8] o DSP [3]. Estas arquitecturas no fueron pensadas exclusivamente para el procesamiento de las señales que conforman las imágenes digitales. Por lo tanto en muchas ocasiones no proporcionan una solución óptima cuando se utilizan para implementar ciertas tareas relacionadas con el procesamiento digital de imágenes en tiempo real. Por otro lado, las arquitecturas multiprocesadoras propuestas para el conjunto de aplicaciones que queremos abordar son de propósito general, complicadas de manejar y difíciles de implementar a relativo bajo coste [4,5].

Nuestro primer objetivo es el de construir Sistemas de Visión Artificial que permitan procesar la información que contienen las imágenes digitales a la frecuencia de digitalización (frecuencia de píxel). Para ello se ha propuesto un modelo de arquitectura que permita diseñar sistemas de procesamiento de imágenes en tiempo real de una forma lo más sencilla posible y al menor costo [2]. El flujo de datos dentro de esta arquitectura es serial, lo cual

quiere decir que los píxels son introducidos en el sistema por orden creciente de filas y columnas, comenzando a contar desde la parte superior izquierda de la imagen. Los resultados son generados con la misma disposición espacial.

Uno de los tipos de elementos de procesamiento que forman parte de la arquitectura que se ha propuesto para diseñar Sistemas de Visión Artificial en tiempo real, implementan algoritmos que necesitan de la información almacenada en una ventana de la imagen. En este trabajo se presenta la arquitectura FPA, la cual utilizamos para construir este tipo de procesadores (apartado 2). Describimos además la estructura y funcionamiento de un procesador construido con la arquitectura mencionada (apartado 3). Este realiza un filtrado por medio del denominado Filtro de Moda, a imágenes cuyo número máximo de píxels por fila es de 512. Finalmente, en el apartado 4 se exponen las principales conclusiones.

## 2. ARQUITECTURA FPA

**L**a arquitectura que presentamos y que denominamos FPA (Frame Processors Architecture), está pensada para diseñar procesadores que se integran dentro de computadores multi-SIMD. Estas son arquitecturas que se diseñaron en un principio para explotar el paralelismo inherente a ciertas tareas ejecutadas sobre vectores y arrays de datos [7]. La utilización de

arquitecturas SIMD al procesamiento de imágenes ha sido aplicada por ejemplo a la implementación de algoritmos de segmentación [10].

En nuestro caso cada procesador se diseña con el objetivo de formar parte de un Sistema más general de Tratamiento de Imágenes Digitales en tiempo real. Cada procesador de estos siempre ejecutará una misma tarea sobre cada píxel de la imagen, por lo tanto es en este aspecto donde se fundamenta la denominación SIMD. Esta tarea tiene asociada un algoritmo de análisis, donde normalmente se necesita la información de los píxels de una ventana. La denominamos «*ventana de análisis*», y consideramos que a su píxel central le pertenece el resultado que proporciona el procesador. Las dimensiones de la ventana de análisis pueden ser variables aunque su forma rectangular se mantiene fija.

La estructura de cada procesador en particular es síncrona compuesta por un conjunto de módulos conectados en pipeline donde se procesan datos de forma concurrente. Se diferencian en la arquitectura FPA tres tipos de elementos: 1) memorias FIFO de alta capacidad, 2) Elementos de Procesamiento (EP), y 3) Registros (REG).

La función de la memoria FIFO consiste en ir almacenando todas las filas de la imagen a las que pertenecen los píxels de la ventana de análisis. Esta permite obtener en cada ciclo de reloj la información perteneciente a parte de la mencionada ventana, que es procesada posteriormente por una red de Elementos de Procesamiento y Registros.

Los Elementos de Procesamiento realizan operaciones aritméticas y de detección de patrones sobre un píxel o un grupo de ellos. Se ha construido una pequeña biblioteca de módulos VLSI donde parte de los elementos que la componen son de este tipo, entre los cuales se encuentran: decodificadores, multiplicadores, sumadores, restadores, Look-up-Tables, comparadores, y sumadores de acarreo.

Los Registros se encargan de almacenar resultados intermedios o finales. Sus capacidades pueden diferir dependiendo fundamentalmente de a qué elemento de la arquitectura se co-

nectan. Distintos tipos de Registros integran también parte de la biblioteca VLSI a la que hemos hecho alusión anteriormente.

La organización de los elementos de la arquitectura FPA se muestra en la *Figura 1*. Los datos que pertenecen a los píxeles de una imagen y que pueden proceder de un digitalizador o de otro módulo que forma parte del Sistema de Visión Artificial, van introduciéndose serialmente en el procesador a la frecuencia de píxel. Éstos son almacenados primeramente en el registro de entrada (IN), y a continuación en la memoria FIFO.

La salida de la memoria FIFO está conectada a una red de Elementos de Procesamiento y Registros. En esta red es donde se ejecutan los procesos relacionados con el algoritmo de análisis de una ventana de la imagen. La interconexión entre los distintos bloques funcionales viene determinada por el algoritmo de procesamiento digital que se implemente. Se permite cualquier tipo de unión entre los EPs y los Registros, los cuales son utilizados dependiendo de la necesidad de recursos que requiera el diseño del procesador. Por lo tanto es posible conectar Registro á Registro, Registro á Registro, Registro á EP y viceversa, y, EP á EP.

Se utiliza procesamiento paralelo y estructura pipeline. Esto implica que en cada ciclo de reloj todos los Elementos de Procesamiento realizan operaciones sobre las palabras que se encuentran a su entrada. Los Registros funcionan de forma síncrona, y retienen en un momento dado del periodo del reloj maestro (CLK) la palabra o palabras que obtienen a su salida un EP u otro Registro. La palabra resultado que proporciona el procesador de ventanas es almacenada en el registro de salida (OUT). Esta pertenece a un píxel de la imagen, que será utilizada por otro procesador o elemento de almacenamiento del Sistema de Visión por Computador donde estén integrados.

La arquitectura presupone que la unidad de control se encuentra fuera del procesador. Por lo tanto, las señales del reloj maestro (CLK), las de lectura (READ) y escritura (WRITE) de la memoria FIFO, y las que necesitan la red de EPs y registros (CONTROL) son externas al mismo.

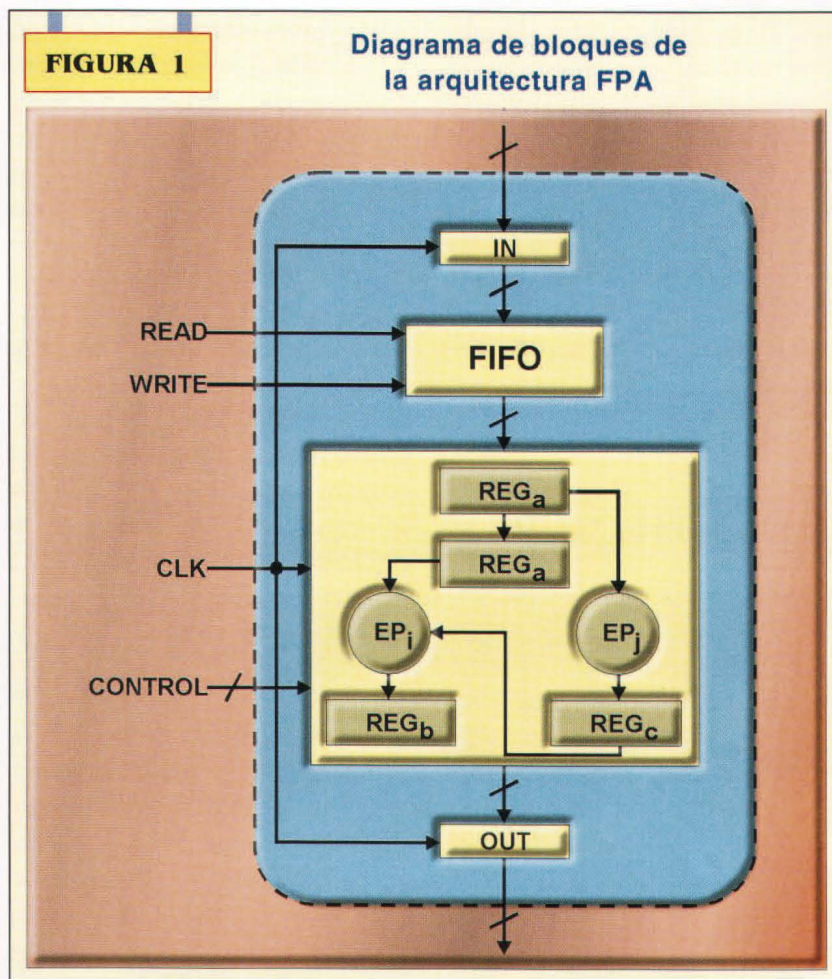


Figura 1: En línea discontinua se representa la frontera del procesador con el exterior. Son tres los tipos de elementos que constituyen la arquitectura: memorias FIFO, Elementos de Procesamiento (EP), y registros (REG). La entrada y salida de la información relativa a los píxeles se realiza en serie. La señal de reloj (CLK) y las de control (READ, WRITE, CONTROL) son externas al procesador.

Esta propiedad permite modularizar el hardware asociado al Sistema de Visión Artificial.

Con la arquitectura propuesta se pueden implementar una gran variedad de algoritmos de tratamiento de imágenes para poderlos ejecutar en tiempo real. Entre ellos se encuentran los de detección de contornos, los de segmentación de imágenes en regiones homogéneas, distintos tipos de filtrados, y los que implementan redes neuronales de baja conectividad. Dentro del Departamento de Informática y Sistemas de la Universidad de Las Palmas de Gran Canaria se han diseñado varios circuitos integrados de aplicación específica con esta arquitectura, y presentamos aquí uno que realiza el suavizado de imágenes a través de un proceso de filtrado, el cual se describe en la sección siguiente.

### 3. EL FILTRO DE MODA

El Filtro de Moda pertenece a un grupo de algoritmos de tratamiento de imágenes que analizan la medida de la amplitud de un píxel [6]. En particular éste analiza la medida de la amplitud no solamente de un píxel sino sobre un entorno del mismo. Se ha diseñado un procesador con la arquitectura expuesta en el apartado anterior que aplica el Filtro de Moda a una imagen digital. Su resolución puede ser como máximo de 512 píxels por fila y cuatro bits de palabra por píxel. No existe restricción en el número de filas de la imagen.

El algoritmo que implementa el procesador se divide en las siguientes etapas:

*Fijados externamente NV y MV (número de filas y columnas de la ventana de análisis),*

1. Para cada ventana NV x MV de la imagen obtener el histograma.
2. Calcular la moda del histograma.
3. Asignación de la moda al píxel central de la ventana.

La moda del histograma permite conocer el código con mayor número de apariciones dentro de la ventana NV x MV. Este es el código que es asignado al píxel central de la ventana de análisis a la finalización del algoritmo. En la Figura 2 se muestra gráficamente la aplicación de dicho algoritmo a entornos de 3 x 3 píxels.

Con el proyecto financiado por la Fundación Universitaria de Las Palmas se ha construido un circuito ASIC que ejecuta

el Filtro de Moda a ventanas de 5 x 5 píxels. Se ha realizado un estudio del coste de implementación y se ha optimizado el algoritmo por medio de la coexistencia del procesamiento paralelo y la estructura pipeline. No se ha incrementado excesivamente el throughput en términos de entradas-salidas ya que tanto la recepción como el envío de palabras es en serie.

### Estructura y funcionamiento del procesador

En la Figura 3 se muestra un diagrama que refleja la estructura interna del procesador. Se diferencian principalmente dos bloques: ASIC\_FIFO, y ASIC\_FILTRO. El primero consiste en una memoria FIFO de 512 palabras de 16 bits. Sus cuatro bits de entrada menos significativos están conectados directamente al registro de entrada del procesador (DATA\_IN).

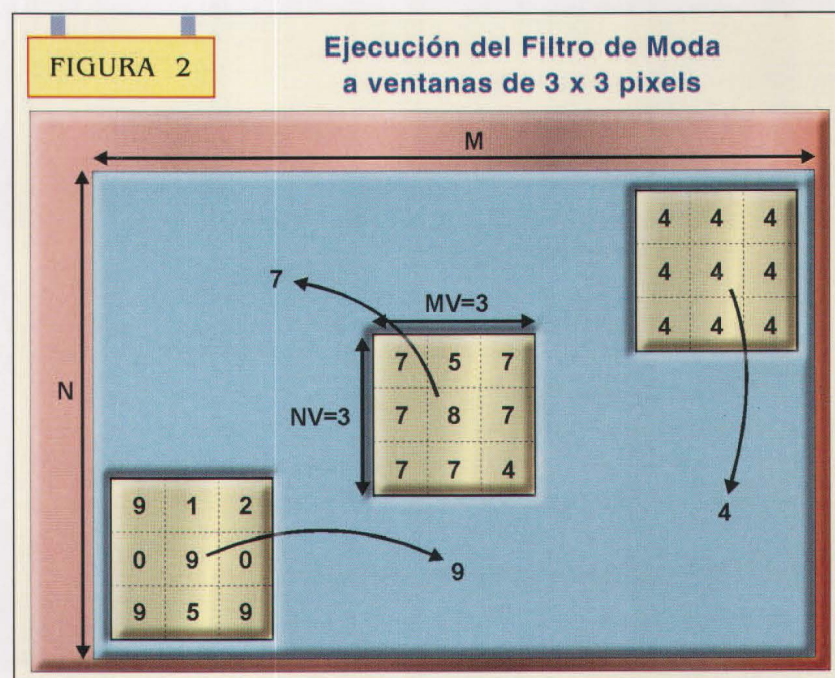


Figura 2: N y M son las filas y columnas de la imagen respectivamente.

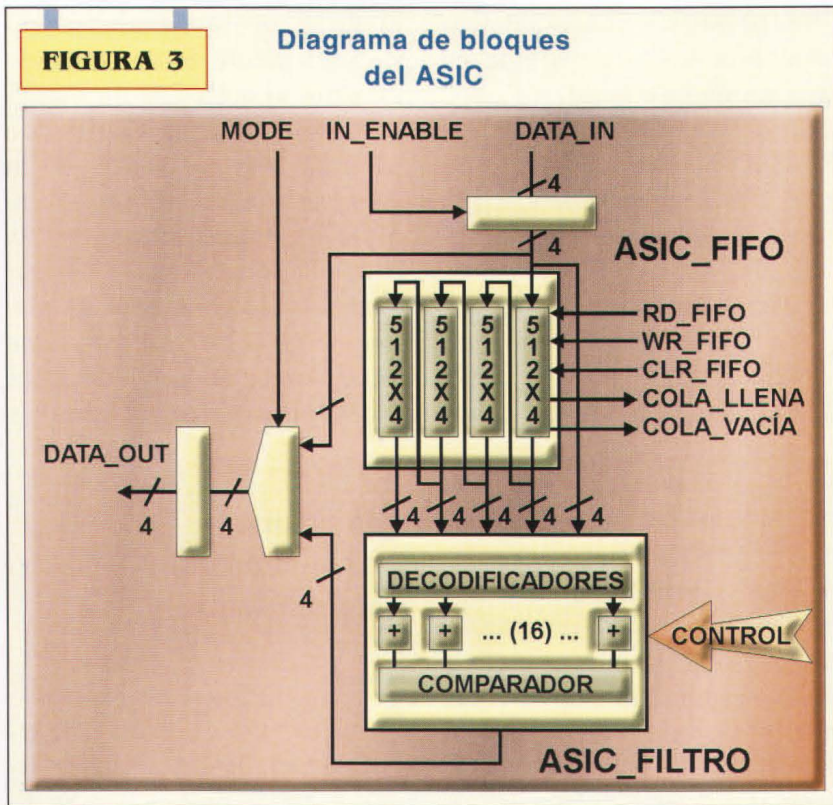


Figura 3: Diagrama de bloques del ASIC que ejecuta el Filtro de Moda sobre ventanas de 5 x 5 píxeles, a imágenes de 512 píxeles por fila y 4 bits de palabra por píxel.



Figura 4: Resaltan la memoria FIFO que se sitúa en el rectángulo superior, y la lógica asociada a los EPs y Registros utilizados para implementar el filtro que aparece en la parte inferior. El chip permite ser utilizado en sistemas que realizan el test del Boundary Scan. El área total del ASIC es de 25 mm<sup>2</sup>.

Los cuatro bits de salida menos significativos están conectados a la entrada del segundo grupo de 4 bits menos significativos. El segundo grupo de 4 bits de salida menos significativo está conectado a la entrada del tercer grupo de 4 bits menos significativos, y así sucesivamente como se puede observar en la figura 3. Cada código de 4 bits de salida de **ASIC\_FIFO** junto con la palabra de 4 bits de entrada al procesador (**DATA\_IN**) se introducen en paralelo en **ASIC\_FILTRO**. Una vez que dentro de **ASIC\_FIFO** se encuentran almacenadas 4 filas de 512 píxeles, en cada uno de los sucesivos ciclos de reloj se introducen en **ASIC\_FILTRO** una columna de 5 píxeles que pertenece a una ventana de análisis.

**ASIC\_FILTRO** es realmente el bloque de circuito digital que implementa el Filtro de Moda. Básicamente, su funcionamiento consiste en decodificar los códigos que recibe desde **ASIC\_FIFO** e ir sumando el número de veces que aparecen repetidos en las columnas de la ventana. A la salida de los sumadores de **ASIC\_FILTRO** se obtiene el histograma de cada ventana (ver figura 3). Un comparador permite obtener el máximo que coincide con la moda. Dentro de **ASIC\_FILTRO** se realiza el procesamiento de 10 palabras de 4 bits y 16 palabras de 5 bits en cada ciclo de reloj. Su frecuencia de trabajo es de 15 MHz., aunque puede llegar a 30 MHz. con seguridad de funcionamiento.

El procesador ha sido diseñado con la biblioteca de células de la tecnología CMOS de 1 micra de ES2 y su layout apa-

rece en la *Figura 4*. Como se puede apreciar se encuentran bien diferenciadas la zona que corresponde a la memoria FIFO (rectángulo superior en blanco), de donde se sitúa la lógica asociada a los Elementos de Procesamiento y Registros (región inferior). Se decidió introducir la memoria dentro del ASIC debido a que en estos momentos es más caro utilizar una memoria FIFO comercial que fabricar el chip al precio que permite pagar EUROCHIP, que es un servicio de la Unión Europea. En la *Figura 5* aparece una foto del circuito una vez construido por la empresa European Silicon Structures (ES2).

Dentro del circuito se ha incluido una parte de comprobación funcional que permite integrarlo en placas donde se puede realizar el test del Boundary Scan. Justificamos la necesidad de que el diseño sea testeable debido a la alta relación entre el número de elementos que procesan en paralelo y el número de entrada y salidas del circuito. Esta parte ha supuesto aproximadamente un 20 % más de área de silicio, elevando el área total del chip a 25 mm<sup>2</sup>. En la *Figura 6* se muestra una foto del chip que forma parte del circuito que ejecuta el Filtro de Moda.

## CONCLUSIONES

**C**on la arquitectura que presentamos aquí proponemos una metodología para el diseño de Procesadores de Imágenes Digitales que en particular necesiten de la información de una ventana de la imagen para poder procesar un

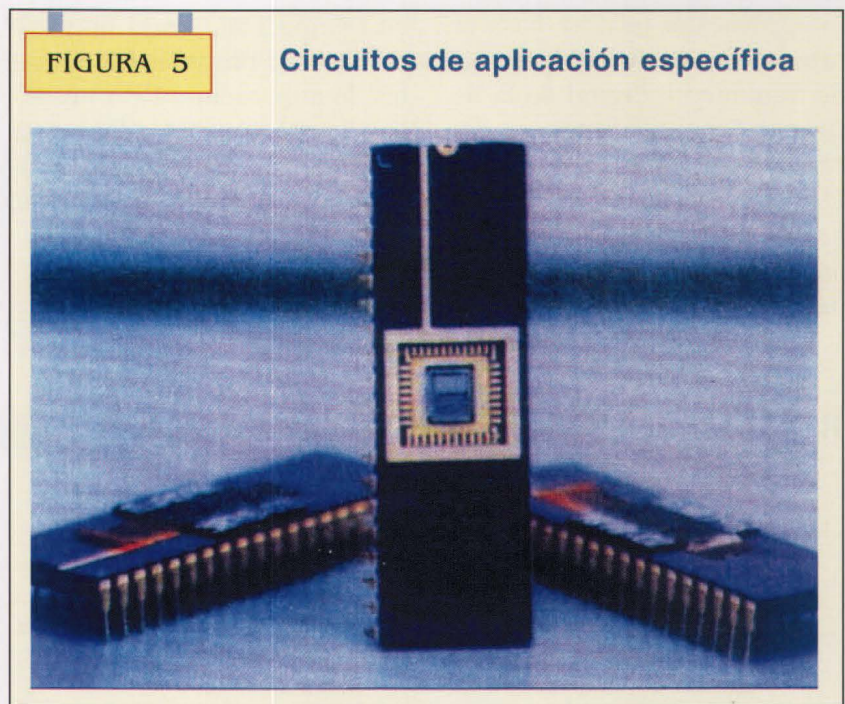
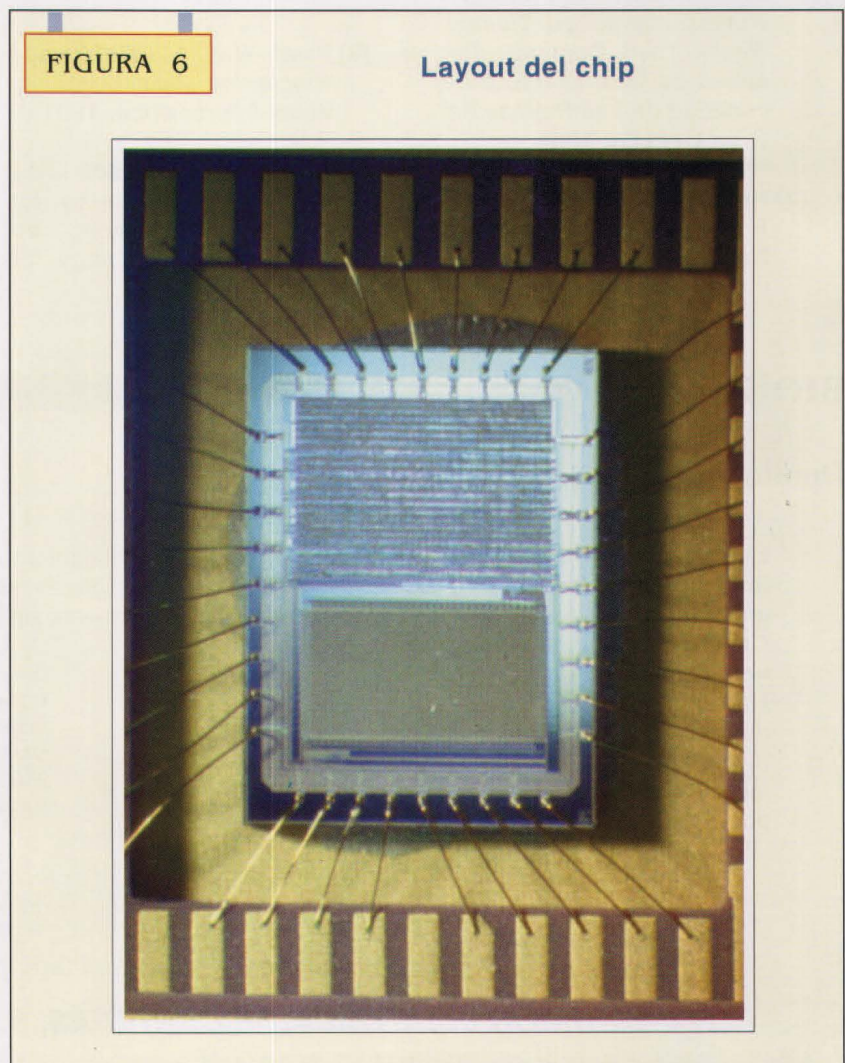


Figura 5: Circuitos de aplicación específica que ejecutan el Filtro de Moda sobre imágenes digitales.



píxel. Nuestra tesis se basa en la acomodación de los algoritmos de tratamiento digital de la información a los recursos que proporciona la tecnología VLSI. Dado el creciente interés que se está mostrando últimamente en la construcción de Máquinas de Visión para procesamiento

en tiempo real con el objetivo de acelerar procesos industriales, la arquitectura FPA permitirá construir procesadores que formen parte de sistemas de Visión Artificial, no muy caros, de fácil manejo y eficaces.

El autor de este trabajo ha realizado un Sistema de Visión Artificial para Reconocimiento de Patrones Cromáticos en tiempo real [1]. Todos los procesadores específicos que forman parte de él, como son el Filtro de Moda y otros más, siguen la arquitectura FPA.

## BIBLIOGRAFÍA

- [1] **Benítez-Díaz D.**, «*Diseño de un Sistema de Visión Artificial VLSI para Procesamiento en Tiempo Real*», Tesina, Universidad de Las Palmas de Gran Canaria, 1993.
- [2] **Benítez-Díaz D.**, «*Sistema de Visión Artificial para Reconocimiento Cromático y Procesamiento en Tiempo Real*», Tesis Doctoral, Facultad de Informática, Universidad de Las Palmas de Gran Canaria, 1994.
- [3] **Higgins R.J.**; *Digital Signal Processing in VLSI*, Prentice Hall, 1990.
- [4] **Plamondon R., Heng-Da C. (Editores)**; «*Pattern Recognition: Architectures, Algorithms and Applications*», World Scientific Publishing Co., 1991.
- [5] **Prasanna Kumar V.K. (Editor)**, «*Parallel Architectures and Algorithms for Image Understanding*», Academic Press, 1991.
- [6] **Pratt W.K.**; *Digital Image Processing*; segunda edición, Wiley Interscience, 1991.
- [7] **Rice T.A., Jamenson L.H.**; «*Parallel Processing for Computer Vision*»; en *Integrated Technology for Parallel Image Processing*; ed. S. Levialdi; Academic Press, 1985.
- [8] **Smith S.G., Denyer P.B.**, «*Serial-Data Computation*», Kluwer Academic Publishers, 1988.
- [9] **E.E. Swartzlander, Jr.**; *VLSI Signal Processing Systems*, Kluwer Academic Publishers, 1986.
- [10] **Tyagi A., Bayoumi M.A.**; «*Image Segmentation on a 2-D Array by a Directed Split and Merge Procedure*»; IEEE Transactions on Signal Processing, Vol. 40, N.11, 1992.

## BIOGRAFÍA

### Domingo Benítez Díaz

Licenciado en Ciencias Físicas y Doctor en Informática, es Profesor Titular de Universidad en el área de Arquitectura y Tecnología de Computadores, pertenece al Dpto. de Informática y Sistemas e imparte clases en la Escuela Universitaria de Informática y en la Facultad de Informática de la ULPGC. Los campos de investigación en los que se encuentra trabajando son: Arquitecturas para Visión por Computador, Redes Neuronales Artificiales, Reco-

nocimiento de Patrones y Diseño y construcción de sistemas hardware para el procesamiento en tiempo real.

Dirección:  
Edificio Departamental de Informática y Matemáticas.  
Campus Universitario de Tafira.  
35017 Las Palmas.  
E-mail: domingo@fobos.ulpgc.es

Este trabajo ha sido patrocinado por:

**UNIÓN ELÉCTRICA DE CANARIAS, S.A. (UNELCO)**